

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-046883
 (43)Date of publication of application : 28.02.1991

(51)Int.CI. H04N 7/13
 H03M 1/12

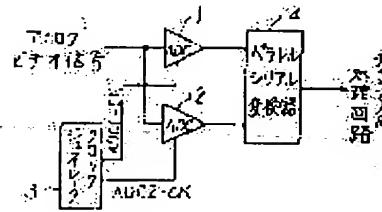
(21)Application number : 01-183495 (71)Applicant : SHIMADZU CORP
 (22)Date of filing : 14.07.1989 (72)Inventor : OZAKI TAKESHI

(54) VIDEO IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To make an artifact substantially quiet by putting AD converters in parallel operation with a time-division multiplex clock and switching clocks supplied to the AD converters for each frame of a video signal.

CONSTITUTION: An analog video signal is inputted to two AD converters 1 and 2 in parallel and digital conversion is performed with mutually out-of-phase conversion clocks of a clock generator 3, etc., synchronized with the video signal. Then the outputs of the two AD converters 1 and 2 are inputted to a digital processing circuit as one continuous image data through a parallel- serial converter 4. A switching circuit 15 is driven by frames of the video signal to switch the two mutually out-of-phase conversion clocks generated by the clock generator 13. Consequently, the artifact due to the characteristic difference between the AD converters becomes substantially quiet.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-46883

⑬ Int. Cl.⁵

H 04 N 7/13
H 03 M 1/12

識別記号

序内整理番号

Z 6957-5C
C 9065-5J

⑭ 公開 平成3年(1991)2月28日

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 ビデオ画像処理装置

⑯ 特願 平1-183495

⑰ 出願 平1(1989)7月14日

⑱ 発明者 尾崎毅 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内

⑲ 出願人 株式会社島津製作所 京都府京都市中京区西ノ京桑原町1番地

⑳ 代理人 弁理士 武石靖彦

明細書

[産業上の利用分野]

本発明は、X線画像処理表示装置等に使用するビデオ画像処理装置に関する。

[従来技術]

従来、この種のビデオ画像処理装置では、第4図に示すように、テレビカメラ21からのアナログビデオ信号をADコンバータ22によりディジタル化し、ディジタル処理回路23により処理し、更に、DAコンバータ24で再びアナログ信号に変換した後、表示モニタ25に処理画像として表示していた。

[発明が解決しようとする課題]

従来の画像処理装置は、ひとつのアナログビデオ信号をひとつのADコンバータにより1ドットずつ順次変換していたので、高速を要するアプリケーションではAD変換のビット数を押さえて高速なものを使用するか、又は、非常に高価なADコンバータを使用するなどの方法を取っていた。しかし、近年、ハイビジョンなどの高精細テレビの出現によりビデオ信号の変換レートは急速に高

1. 発明の名称

ビデオ画像処理装置

2. 特許請求の範囲

(1) アナログビデオ信号をADコンバータによりディジタル化して処理するビデオ画像処理装置において、複数個のADコンバータ、位相差を有する多重クロック信号を発生するクロックジェネレータを有し、複数個のADコンバータを多重クロック信号により時分割で駆動し、複数個のADコンバータ出力を処理することを特徴とするビデオ画像処理装置。

(2) ビデオ信号の各フレーム毎にADコンバータに与えるクロックを周期的に入れ替えることを特徴とする特許請求の範囲第1項記載のビデオ画像処理装置。

3. 発明の詳細な説明

速化しつつあるので、量子化ビット数が大きく、変換レートも高速なADコンバータの開発が追い付かないのが現状である。

本発明は、上記のような従来技術の欠点を解消するために創案されたものであり、高価なADコンバータを必要とせずに高速な変換レートを達成すること及びアーチファクト(たてじま等)が発生しないビデオ画像処理装置を提供することを目的とする。

[課題を解決するための手段]

上記目的を達成するために、本発明におけるビデオ画像処理装置では、量子化ビット数が大きく、変換レートの比較的遅い安価なADコンバータを複数個時分割多重クロックにて並列に動作させることにより、アナログビデオ信号をデジタル信号に変換している。

また、複数のADコンバータの特性が異なる場合には、アーチファクト(たてじま等)が目につくが、ビデオ信号のフレームごとに複数のADコンバータに与えるクロックを切り替えるこ

とにより、アーチファクトが実用上目に付かないようになっている。

[作用]

上記のように構成されたビデオ画像処理装置では、アナログビデオ信号は複数個のADコンバータによって交互にAD変換され、パラレルシリアル変換器によって連続した画像データとして出力される。

[実施例]

実施例について図面を参照して説明すると、第1図において、テレビカメラからのアナログビデオ信号は二つのADコンバータ1、2に並列に入力され、この二つのADコンバータ1、2はビデオ信号に同期したクロックジェネレータ3からの互いに位相差を有する変換クロック(ADC1-Ck, ADC2-Ck)によってデジタル変換を行う。そして、二つのADコンバータ1、2の出力はパラレルシリアル変換器4により一つの連続した画像データとして、デジタル処理回路に入力される。また、二つのADコンバータの出力

を直接デジタル処理回路に入力して並列処理を行ふこともできる。更に、ADコンバータは二つに限らず三以上とすることもできる。

ところで、二つのADコンバータの特性に差があるとアーチファクト(たてじま等)が発生し、処理画面がみにくくなる。これを解消するため、第2図に示される実施例では、ビデオ信号のフレーム毎に切替回路15を駆動して、クロックジェネレータ13の発生する位相差を有する二つの変換クロックを切り替える。このときのタイミングは第3図の(a)、(b)のようになる。今、プログレッシブスキャン(順次走査)のある一つのフレームに注目し、これを偶数フレームと考え、次を奇数フレーム、そしてその次を偶数フレームと交互に繰り返されると考える。

このとき、偶数フレームでは第3図(a)のようにADコンバータ1から始まり、交互に1ドットずつサンプリングを行うように変換クロック(ADC1-Ck, ADC2-Ck)が与えられ、これらのデータはパラレルシリアル変換により、

一つの連続した画像データとして出力される。

また、奇数フレームでは第3図(b)のようにADコンバータ1、2に与えられる変換クロックが入れ替えられることにより、偶数フレームでADコンバータ1が変換したドットがADコンバータ2により変換される。

これにより、ADコンバータの特性差によるアーチファクトは実用上目に付かなくなり、また、実際には後段の処理回路において積分、リカーシブといった処理が行われるので、ADコンバータの特性差の補正をほぼ完全なものとすることができる。

[発明の効果]

本発明は、以上のように構成されるので、個々のADコンバータの最高変換レートの二倍の変換レートでビデオアナログ信号をデジタル信号に変換することができる。また、ADコンバータを三以上とすることにより、更に高速の変換レートを達成することができる。

更に、複数個のADコンバータの変換クロック

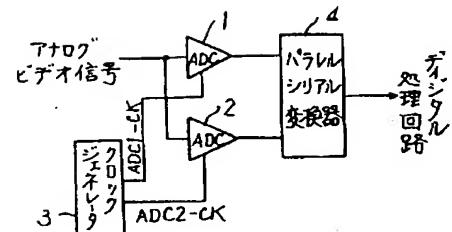
をビデオ信号のフレーム毎に入れ替えることによりアーチファクトの発生を防止することができる。

4. 図面の簡単な説明

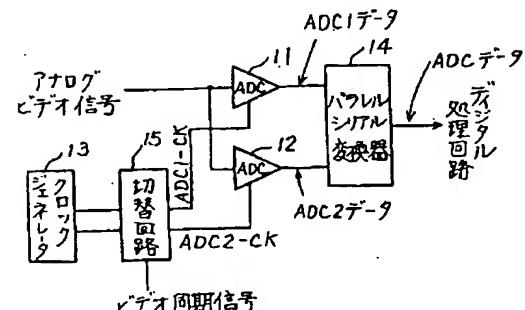
第1図は本発明にかかるビデオ画像処理装置を示すブロック図、第2図は本発明の他の実施例を示すブロック図、第3図は第2図の実施例の動作を示す波形図、第4図は従来のビデオ画像処理装置を示すブロック図である。

1、2、11、12……ADコンバータ、3、
13……クロックジェネレータ、4、14…
…パラレルシリアル変換器、15……切替回
路、21……ビデオカメラ、22……ADコ
ンバータ、23……ディジタル処理回路、2
4……DAコンバータ、25……表示モニタ

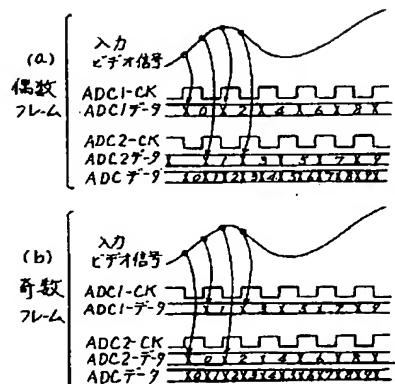
特許出願人 株式会社島津製作所
代理人 弃理士 武石 靖彦



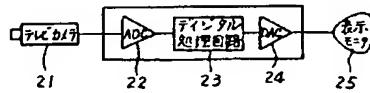
第1回



第2圖



第 3 回



第 4 図